

REMARKS

By this Amendment, Applicants have amended claims 1, 6-7, and 11-12, and have cancelled claims 4, 5, and 9. Accordingly, claims 1, 6-7, and 10-14 are pending.

AMENDMENT TO THE SPECIFICATION

The Office Action at page 2 points out that the application is a national stage of a PCT application and requested that this be stated on the first page of the specification. Applicants have amended the specification in compliance with this request of the Examiner.

CLAIM REJECTIONS UNDER § 103

Claims 1, 4-6 and 12 stand rejected under 35 U.S.C. § 103(a) as being unpatentable over Prior Art as Admitted by Applicant ("APA") in view of Kami and Sonobe; claims 7-11 stand rejected under 35 U.S.C. § 103(a) as being unpatentable over APA, Kami, Sonobe and Breeze; and claims 13-14 stand rejected under 35 U.S.C. § 103(a) as being unpatentable over APA, Kami and Sonobe and further review of Mead. Applicants respectively traverse these section 103(a) rejections.

Claims 1, 6, 7 and 11 are independent claims as a result of this Amendment. Claims 12, 13 and 14 are dependent on claim 1; claim 12 is dependent on claim 6; and claim 10 is dependent on claim 7.

Turning first to independent claim 1, it is directed to a light-emitting thyristor matrix array formed on a chip and includes the following elements:

- ♦ N (N is an integer ≥ 2) three-terminal light-emitting thyristors arrayed in one line in parallel with the long side of the chip;
- ♦ a common terminal to which cathodes or anodes of the N light-emitting thyristors are connected;
- ♦ M (M is an integer ≥ 2) gate selecting lines; and
- ♦ $\{(N/M) + M\}$ bonding pads arrayed in one line in parallel with the long side of the chip,
- ♦ wherein the gate of k th light-emitting thyristor is connected to i th [$i = \{(k-1) \text{ MOD } M\} + 1$] gate-selecting line G_i , where "MOD" in an equation means modulo division,
- ♦ the anode or cathode which is not connected to the common terminal of the k th light-emitting thyristor is connected to j th [$j = \{(k-i)/M\} + 1$] anode terminal A_j or cathode terminal K_j ,
- ♦ the number M of the gate-selecting lines is selected so as to satisfy the expression of $L/\{(N/M) + M\} > p$ (L is a length of the long side of the chip and p is a critical value of the array pitch of the bonding pads) in order to decrease the area of the chip, and

- ♦ **when a prime factor for N is 2 only, the number M of the gate-selecting lines is positive and is the smallest integer, next smaller integer, or third smaller integer that satisfies the expression $L/\{(N/M)+M\} > p$.**

It is Applicants' contention that the light-emitting thyristor matrix array of claim 1 is patentably distinguished from the references of record at least on the basis on the feature that "when a prime factor for N is 2 only, the number M of the gate-selecting lines is positive and is the smallest integer, next smaller integer, or third smaller integer that satisfies the expression $L/\{(N/M)+M\} > p$ ". This feature is hereinafter generally referred to as the "Prime Factor Feature" of Applicant's claimed invention. It is Applicants' contention that the Prime Factor Feature is neither taught nor suggested in the APA, Kami Reference, Sonobe Patent, Breeze Patent, and Mead Patent. Because these references of record lack the Prime Factor Feature, claim 1 and claims dependent thereon are patentably distinguished from these references of record.

Amended claim 1 includes the feature of cancelled claim 5. The Office Action at page 5 very briefly deals with cancelled claim 5 by the statement that "the number M of gate-selecting lines as taught by APA (Figure 1 of disclosure) is 4, which is the third integer starting from the smallest possible choice of 2.". But Applicants' respectfully submit that this very brief statement does not consider the requirement of the Prime Factor Feature. In

other words, the statement made in the Office Action with respect to claim 5 (as well as claim 6) does not deal with the feature that when a prime factor for N is 2 only, the number M of the gate-selecting lines is positive and is the smallest integer, next smaller integer, or third smaller integer that satisfies the expression $L/\{(N/M)+M\} > p$.

The APA relates to a light-emitting thyristor matrix array shown in Figure 1 of the subject application and is described at page 2, line 7 continuing to page 4, line 6 of the application. But nowhere in the APA is there any teaching or suggestion of the Prime Factor Feature. In addition, the Office Action in its very brief dealing with the Prime Factor Feature of canceled claim 5 does not take into account the specific requirements set forth in the Prime Factor Feature. It is Applicants' contention that this lack of dealing with the feature of canceled claim 5 is because the Prime Factor Feature is simply not taught or suggested in the APA or any other reference of record.

The Kami Reference concerns a semiconductor light-emitting device having a substrate 1, a stripe shaped resistor body 8 formed in correspondence with each light-emitting part 5 at an adjacent position of an array 3. A plurality of bonding pads 9a-9d and contact electrode 7 are connected by a bonding wire 10. The light-emitting element array 3 includes a semiconductor body 4. But nowhere in the Kami Reference is there any

teaching or suggestion of the Prime Factor Feature of Applicant's claimed invention.

The Sonobe Patent concerns a power semiconductor module comprising a metal base, a plurality of wiring substrates provided on the base, and first wiring substrate of the wiring substrates. The first wiring substrate has a power circuit portion including a power semiconductor device, and a substrate containing portions having a resin portion in which one of the wiring substrates is contained. One of the wiring substrates is positioned in self-alignment on the metal substrate on the basis of an inner wall of the resin portion of the substrate-containing portion. But nowhere in the Sonobe Patent is there any teaching or suggestion of the Prime Factor Feature.

The Breeze Patent relates to a bi-directional drive multiplexed display system for use with multicharacter displays. In the Breeze system, each character is composed of a plurality of segments which are of a unidirectional type. Selected segments of each character are sequentially illuminated to display alphanumeric or other symbols. In the Breeze system, the number of interconnections between the display and the drive circuit are reduced. But nowhere in the Breeze Patent is there any teaching or suggestion of the Prime Factor Feature of Applicant's claimed invention.

The Mead Patent in general relates to an integrating imaging system with a phototransistor. The Mead Patent has been cited primarily with

respect to parallel or serial input/output registers. But the Mead Patent simply does not rectify the deficiencies heretofore discussed with respect to the other references of record concerning the Prime Factor Feature of Applicant's claimed invention.

Applicants further contend that claim 7 has been amended to also include the Prime Factor Feature, and therefore like claim 1 is patentably distinguished from the references of record.

Based on the foregoing remarks, Applicants respectfully that independent claims 1 and 7, as well as the claims dependent thereon, are patentably distinguished from the references of record.

Independent claim 6 is directed to a light-emitting thyristor matrix array and includes the following feature:

when prime factors for N are 2 and 3 only, the number M of the gate-selecting lines is positive and is the smallest integer, next smaller integer, third smaller integer, fourth smaller integer, or fifth smaller integer that satisfies the expression $L/\{(N/M)+M\} > p$.

As Applicants have noted above, this feature was very briefly dealt with in the Office Action as page 5. But the Office Action did not actually consider in its very brief remarks the specific requirements of this feature. This is not surprising to Applicants since this feature of claim 6 (as well as

dependent claim 12) is neither taught nor suggested in any of the references of record. Thus claim 6 and dependent claim 12 are patentably distinguished from the references of record.

Independent claim 11 is directed to a light-emitting thyristor matrix array and includes the following feature:

when prime factors for N are 2 and 3 only, M is positive and is the smallest integer, next smaller integer, third smaller integer, fourth smaller integer, or fifth smaller integer that satisfies the expression $L/\{(N/M)+M\} > p$.

It is Applicants' contention that the above noted feature of claim 11 is neither taught nor suggested in any of the references of record. Claim 11 — amended as an independent claim — is very briefly dealt with at page 8 of the Office Action. But here again, the very brief statement concerning claim 11 does not deal with the requirements of the above noted feature of claim 11. This is not surprising to Applicants since this feature of claim 11 is neither taught nor suggested in the APA, Kami Reference, Sonobe Patent, Breeze Patent, and Mead Patent. Thus claim 11 is patentably distinguished from all of the references of record.

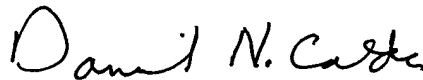
Based on the foregoing remarks, Applicants respectfully submit that claims 1, 6-7, and 10-14 are neither anticipated nor obvious in view of the references of record which requires the withdrawal of the Section 103(a) rejection.

Japanese Reference

By this amendment, Applicants are including a copy (as well as an English abstract) of Japanese Reference JP 2807910 for the Examiner's consideration.

In view of the foregoing remarks and amendments, Applicants respectfully submit that claims 1, 6, 7 and 10-14 are in condition for allowance. Reconsideration and allowance of all pending claims are respectfully requested.

Respectfully Submitted,



Kenneth N. Nigon, Reg. No. 31,549
Daniel N. Calder, Reg. No. 27,424
Attorneys for Applicants

Enclosures:

Version with markings to show changes made
Japanese Reference and English Abstract
Check

Dated: January 14, 2003

P.O. Box 980
Valley Forge, PA 19482-0980
(610) 407-0700

The Assistant Commissioner for Patents is hereby authorized to charge payment to Deposit Account No. 18-0350 of any fees associated with this communication.

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to:
Assistant Commissioner for Patents, Washington, D.C.
20231 on:

January 14, 2003



Daniel N. Calder

VERSION WITH MARKINGS TO SHOW CHANGES MADESPECIFICATION:

This application is a U.S. National Phase Application of PCT International Application PCT/JP01/00623.

CLAIMS:

- 1 1. (Twice Amended) A light-emitting thyristor matrix array
- 2 formed on a chip, comprising:
- 3 N (N is an integer ≥ 2) three-terminal light-emitting thyristors
- 4 arrayed in one line in parallel with the long side of the chip;
- 5 a common terminal to which cathodes or anodes of the N light-
- 6 emitting thyristors are connected;
- 7 M (M is an integer ≥ 2) gate selecting lines; and
- 8 $\{(N/M) + M\}$ bonding pads arrayed in one line in parallel with
- 9 the long side of the chip,
- 10 wherein the gate of k th light-emitting thyristor is connected to
- 11 ith $[i = \{(k-1) \text{ MOD } M\} + 1]$ gate-selecting line G_i , where "MOD" in an
- 12 equation means modulo division,

13 the anode or cathode which is not connected to the common
14 terminal of the kth light-emitting thyristor is connected to jth [$j = \{(k-i)/M\}$
15 $+ 1$] anode terminal A_j or cathode terminal K_j , and

16 the number M of the gate-selecting lines is selected so as to
17 satisfy the expression of $L/\{(N/M) + M\} > p$ (L is a length of the long side of
18 the chip and p is a critical value of the array pitch of the bonding pads) in
19 order to decrease the area of the chip, and

20 when a prime factor for N is 2 only, the number M of the gate-
21 selecting lines is positive and is the smallest integer, next smaller integer, or
22 third smaller integer that satisfies the expression $L/\{(N/M)+M\} > p$.

Claim 4 has been canceled.

Claim 5 has been canceled.

1 6. (Twice Amended) ~~The~~ A light-emitting thyristor matrix
2 array ~~of claim 1, wherein~~ formed on a chip, comprising:

3 N (N is an integer ≥ 2) three-terminal light-emitting thyristors
4 arrayed in one line in parallel with the long side of the chip;

5 a common terminal to which cathodes or anodes of the N light-
6 emitting thyristors are connected;

7 M (M is an integer ≥ 2) gate-selecting lines; and

8 $\{(N/M)+M\}$ bonding pads arrayed in one line in parallel with the
9 long side of the chip,

10 wherein the gate of kth light-emitting thyristor is connected to
11 ith $[i=\{(k-1) \text{ MOD } M\}+1]$ gate-selecting line G_i , where "MOD" in an equation
12 means modulo division,

13 the anode or cathode which is not connected to the common
14 terminal of the kth light-emitting thyristor is connected to jth $[j=\{(k-$
15 $i)/M\}+1]$ anode terminal A_j or cathode terminal K_j ,

16 the number M of the gate-selecting lines is selected so as to
17 satisfy the expression of $L/\{(N/M)+M\}>p$ (L is a length of the long side of
18 the chip and p is a critical value of the array pitch of the bonding pads) in
19 order to decrease the area of the chip, and

20 when prime factors for N are 2 and 3 only, the number M of the
21 gate-selecting lines is positive and is the smallest integer, next smaller
22 integer, third smaller integer, fourth smaller integer, or fifth smaller integer
23 that satisfies the expression $L/\{(N/M) + M\}>p$.

1 7. (Twice Amended) A light-emitting thyristor matrix array
2 formed on a chip, comprising:

3 N (N is an integer ≥ 2) three-terminal light-emitting thyristors
4 arrayed in one line in parallel with the long side of the chip;

5 a common terminal to which cathodes or anodes of the N light-
6 emitting thyristors are connected;

7 M (M is an integer ≥ 2) anode-selecting lines or cathode-
8 selecting lines; and

9 $\{(N/M)+M\}$ bonding pads arrayed in one line in parallel with the
10 long side of the chip,

11 wherein the anode or cathode of k th light-emitting thyristor is
12 connected to i th [$i = \{(k-1) \text{ MOD } M\} + 1$] anode-selecting line A_i or cathode-
13 selecting line K_i , where "MOD" in an equation means modulo division,

14 the gate of the k th light-emitting thyristor is connected to j th
15 [$j = \{(k-i)/M\} + 1$] gate terminal G_j , and

16 the number M of the anode-selecting lines or cathode-selecting
17 lines is selected to satisfy the expression of $L/\{(N/M)+M\} > p$ (L is a length of
18 the long side of the chip and p is a critical value of array pitch of the bonding
19 pads) in order to decrease the area of the chip, and

20 when a prime factor for N is 2 only, M is positive and is the
21 smallest integer, next smaller integer, or third smaller integer that satisfies
22 the expression $L/\{(N/M)+M\} > p$.

Claim 9 has been canceled.

1 11. (Twice Amended) ~~The~~ A light-emitting thyristor matrix
2 array formed on a chip, comprising:

3 N (N is an integer ≥ 2) three-terminal light-emitting thyristors
4 arrayed in one line in parallel with the long side of the chip;

5 a common terminal to which cathodes or anodes of the N light-
6 emitting thyristors are connected;

7 M (M is an integer ≥ 2) anode-selecting lines or cathode-
8 selecting lines; and

9 $\{(N/M)+M\}$ bonding pads arrayed in one line in parallel with the
10 long side of the chip,

11 wherein the anode or cathode of kth light-emitting thyristor is
12 connected to ith $[i=\{(k-1) \text{ MOD } M\}+1]$ anode-selecting line A_i or cathode-
13 selecting line K_i , where "MOD" in an equation means modulo division,

14 the gate of the kth light-emitting thyristor is connected to jth
15 $[j=\{(k-i)/M\}+1]$ gate terminal G_j ,

16 the number M of the anode-selecting lines or cathode-selecting
17 lines is selected to satisfy the expression of $L/\{(N/M)+M\}>p$ (L is a length of
18 the long side of the chip and p is a critical value of array pitch of the bonding
19 pads) in order to decrease the area of the chip, and

20 ~~of claim 7, wherein~~ when prime factors for N are 2 and 3 only, M
21 is positive and is the smallest integer, next smaller integer, third smaller
22 integer, fourth smaller integer, or fifth smaller integer that satisfies the
23 expression $L/\{(N/M)+M\} > p$.

1 12. (Twice Amended) A driver circuit for driving the light-
2 emitting thyristor matrix array according to any one of claims 1, ~~4, 5, and~~
3 6, comprising:

4 a circuit for driving the gate-selecting lines; and

5 a circuit for driving the anode terminals or cathodes terminals;

6 wherein the circuit for driving the gate-selecting lines including
7 an even number of gate-selecting signal output terminals and a circuit for
8 outputting a "selecting" signal to one of the gate-selecting signal output
9 terminals and "no-selecting" signal to the others of the gate-selecting signal
10 output terminals, with the terminal to which the "selecting" signal is supplied
11 being switched in turn.



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-194978

(43)Date of publication of application : 26.08.1991

(51)Int.Cl.

H01L 33/00
B41J 2/44
B41J 2/45
B41J 2/455
G03G 15/04

(21)Application number : 01-334485

(71)Applicant : NIPPON SHEET GLASS CO LTD

(22)Date of filing : 22.12.1989

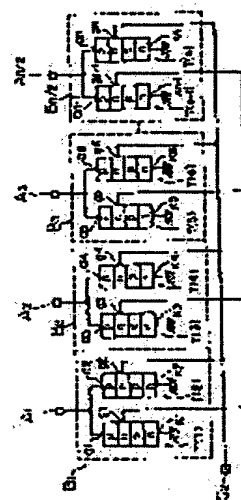
(72)Inventor : KUSUDA YUKIHISA

(54) LIGHT EMITTING ELEMENT ARRAY

(57)Abstract:

PURPOSE: To reduce the necessary number of electrodes, to enhance resolution, to reduce its cost and to raise reliability by providing a light emitting element block including a plurality of light emitting elements, a plurality of first electrodes for supplying first signals, and a plurality of second electrodes for supplying second signals.

CONSTITUTION: Light emitting element blocks B including a plurality of light emitting elements T for emitting lights when first and second signals are simultaneously supplied, a plurality of electrodes A for supplying the first signals to the elements T in the block B to be provided in the blocks B, and a plurality of second electrodes G for supplying the second signals to the elements T to be provided at the elements T corresponding to the blocks B are provided. Thus, the number of electrodes can be reduced, and since the arraying pitch of the elements can be reduced, its resolution can be enhanced, its cost can be reduced, and high reliability is performed.



RECEIVED

JAN 23 2003

TECHNOLOGY CENTER 2800

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office



(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2807910号

(45) 発行日 平成10年(1998)10月8日

(24) 登録日 平成10年(1998)7月31日

(51) Int.Cl.⁶ 識別記号
H 0 1 L 33/00
B 4 1 J 2/44
2/45
2/455

F I
H 0 1 L 33/00 J
B 4 1 J 3/21 L

請求項の数2(全 8 頁)

(21) 出願番号 特願平1-334485
(22) 出願日 平成1年(1989)12月22日
(65) 公開番号 特開平3-194978
(43) 公開日 平成3年(1991)8月26日
審査請求日 平成8年(1996)4月2日

(73) 特許権者 999999999
日本板硝子株式会社
大阪府大阪市中央区道修町3丁目5番11号
(72) 発明者 楠田 幸久
大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株式会社内
(74) 代理人 弁理士 土屋 勝

審査官 吉野 三寛

(56) 参考文献 特開 昭54-102886 (J P, A)
特開 昭60-201679 (J P, A)
特開 昭48-96291 (J P, A)

(58) 調査した分野(Int.Cl.⁶, D B名)
H01L 33/00

(54) 【発明の名称】 発光素子アレイ

(57) 【特許請求の範囲】

【請求項1】 各々が第3の電極を共通の電極として持つと共に、第1の電極及び第2の電極間に制御信号が供給されたときに、前記第1の電極及び前記第3の電極間に主電流が流れて発光し得る発光素子を少なくとも2個有する発光素子ブロックが複数個備えられ、前記発光素子の発光部分は一列状に配置されており、前記発光素子ブロックの各発光素子は第1の電極を共通とし、前記共通の第1の電極のいずれかに第1の信号を供給し、前記発光素子ブロックは、該ブロックの発光素子数に対応した数の前記第2の電極を持ち、前記各発光素子ブロックの前記第2の電極は、前記複数個の発光素子ブロックに互って配線接続されており、前

記第2の電極配線のいずれかに、第2の信号を供給することを特徴とする発光素子アレイ。

【請求項2】 p形半導体とn形半導体とが交互に積層された構造を前記発光素子が有している請求項1記載の発光素子アレイ。

【発明の詳細な説明】

【産業上の利用分野】

本発明は複数の発光素子により構成された発光素子アレイに関するものである。

【従来の技術】

従来より公知の光プリンタ、特にLEDアレイを用いた光プリンタ(以下LEDプリンタと称する)について第5図～第8図を用いて説明する。

第5図に示すように、円筒形の感光ドラム51の表面にアモルファスシリコン等により光導電性の感光体58が形

RECEIVED
JAN 23 2003
TECHNOLOGY CENTER/2800

成されている。このドラム51は印字の速度に対応した回転速度で回転する。

まず、このドラム51の感光体表面58を帯電器57により一様に帯電させる。次に、画像情報に対応するLEDが点灯しているLED（発光素子）アレイ62からの光出力をロッドレンズアレイ63でドラム51の感光体表面58に結像させる。すると、この光の結像部分において帯電による電荷が中和し、感光体表面58の帯電状態が画像情報に対応して変化する。このように画像情報に対応したパターンが感光体表面58に形成される。

次に、現像器60によって前記パターンの帯電状態に従ってトナーを感光体表面58に付着させる。そして、カセット61から送られている用紙に転写器52において上記トナーを転写する。次に、このトナーの転写された用紙は定着器53で熱などを加えられてトナーが定着されてからスタッカ54に送られる。

一方、転写の終了した感光ドラム51では残留したトナーが清掃器56によって除去され、消去ランプ55によって感光体表面58の帯電が全面的に中和され、次の動作に備える。以上のようにして、LEDプリンタにより画像情報が用紙に転写できる。

LED（発光素子）アレイ62のロッドレンズアレイ63及び感光ドラム51に対する位置関係を第6図に示す。横長に構成されたロッドレンズアレイ63は感光ドラム51の接平面に対してほぼ直角にかつ感光体表面58とほぼ平行に配置されている。また、複数の微小な発光素子を一列に並べて構成したLEDアレイ62はロッドレンズアレイ63を介してLEDアレイ62からの光がロッドレンズアレイ63に入射するように配置されている。

LEDアレイ62はこの外部に設けられた駆動ICを備え、この駆動ICが各発光素子への発光信号を発生させる。このようなLEDアレイと駆動ICとによる等価回路を第7図に示す。

アノードとカソードとを有するダイオードである発光素子103が通常64個又は128個並べられ集積されることによって発光素子アレイチップ102が構成されている。そして、上記感光ドラムに印字するのに必要なサイズ分だけ発光素子アレイチップ102を並べて発光素子アレイが構成されている。

また、駆動IC101はシフトレジスタ101aとラッチ101bとから構成され、ラッチ101bからの発光信号としての電流が各発光素子103に流れるように、ラッチ101bと発光素子103のアノードとが接続されている。また、各発光素子103のもう一方の極のカソードは接地されて共通の電極に構成されている。

第8図に発光素子アレイチップ102と駆動IC101との実際の配置状態を示す。発光素子アレイチップ102において各発光素子の発光領域103aはその平面がほぼ正方形状に形成され、これらの発光領域103aが中央付近に横一列に配列されている。電極101cを有する駆動IC101が前記

列の両側にこの列から離れた位置に夫々配置されている。

また、発光素子103の各々のアノードと駆動IC101の電極101cとの実際の接続のために、発光素子アレイチップ102に設けることの必要な数の電極104が、発光素子ごとに発光素子の両側に配置されている。これらの電極104はボンディングワイヤ105によって、電極101cに夫々接続されている。

これらの電極104は各発光領域103aに対して両側に設けられるから、発光領域103aの配列ピッチに対して電極104の配列ピッチは2倍となる。従って、電極104の配列ピッチを粗くできて電極104の発光領域103aに対する幅を広くできる。

電極104と電極101cとの間を接続する実装技術として、ワイヤボンディング法が一般的である。第8図に示す電極104の配置によれば、ワイヤボンディングを実際に行なうことのできる限界のピッチの半分まで発光素子を並べることができる。

従って、発光素子の配置の密度を約2倍にできるから、発光素子アレイの解像度を高くでき、また、このような発光素子アレイを用いたLEDプリンタも高解像度化が可能となる。

〔発明が解決しようとする課題〕

ところが、第8図に示す配置例によると、発光領域103aの配列ピッチで500DPI（ドット／インチ）が限界である。このピッチはワイヤボンディング法の限界ピッチにより決まり、発光領域103aのピッチで50 μ m程度、電極104のピッチで100 μ m程度に相当する。

このような配列ピッチを500DPI以上とすることは上述の実装技術上の制約から実質的に不可能であるから、発光素子アレイにおいて発光素子をより高密度に配置することができない。従って、発光素子アレイの解像度を従来以上に高めることはできなかった。

本発明の目的は、発光素子アレイに設けることの必要な電極の数を減らして発光素子を高密度に配置することによって、発光素子アレイの高解像度化、低価格化及び高信頼化を達成することにある。

〔課題を解決するための手段〕

前記目的を達成するために本発明の発光素子は、各々が第3の電極を共通の電極として持つと共に、第1の電極及び第2の電極間に制御信号が供給されたときに、前記第1の電極及び前記第3の電極間に主電流が流れて発光し得る発光素子を少なくとも2個有する発光素子ブロックが複数個備えられ、前記発光素子の発光部分は一列状に配置されており、前記発光素子ブロックの各発光素子は第1の電極を共通とし、前記共通の第1の電極のいずれかに第1の信号を供給し、前記発光素子ブロックは、該ブロックの発光素子数に対応した数の前記第2の電極を持ち、前記各発光素子ブロックの前記第2の電極は、前記複数個の発光素子ブロックに互って配線接続さ

れており、前記第2の電極配線のいずれかに、第2の信号を供給することを特徴とする

p形半導体とn形半導体とが交互に積層された構造を前記発光素子が有していることが好ましく、例えばアノード電極とゲート電極とを有しているサイリスタ構造の発光素子を挙げることができる。

〔作用〕

本発明による発光素子アレイでは、発光素子への第2の信号の供給を複数の第2の電極の各々について時分割で行う様にすれば、第1の電極が発光素子ブロック毎にしか設けられていなくても、総ての発光素子を特定して発光させることができる。

従って、発光のための信号を供給する電極が総ての発光素子の各々に対して設けられている場合に比べて、電極の数を少なくすることができる。このため、発光素子の配列ピッチを小さくすることができ、また電極と他の電氣的部品等との接続も少ない。

〔実施例〕

以下、本発明の実施例を第1図～第4図を参照しながら説明する。

第1図は本実施例の発光素子アレイの等価回路を示すものである。発光素子アレイを構成する n 個(n :偶数)の発光素子 $T(1)$ 、 $T(2)$ 、 $T(3)$ 、 $T(4)$ 、 $T(5)$ 、 $T(6)$ 、……、 $T(n)$ はpnpn構造を有する発光サイリスタである。

発光素子 $T(1)$ はアノード電極 a_1 、ゲート電極 g_1 及びカソード電極 k_1 を有している。 $T(2) \sim T(n)$ の各発光素子も同様にアノード電極 $a_2 \sim a_n$ 、ゲート電極 $g_2 \sim g_n$ 及びカソード電極 $k_2 \sim k_n$ を夫々有している。

n 個の発光素子 $T(1) \sim T(n)$ を、 $T(1)$ 及び $T(2)$ を1つの発光素子ブロックとするようにして $n/2$ 個の発光素子ブロックに分割する。

ブロック B_1 において発光素子 $T(1)$ 及び $T(2)$ のアノード電極 a_1 と a_2 とから成りこれらのアノード電極 a_1 と a_2 とに共通な第1の電極 A_1 が構成されている。同様に、ブロック B_2 において $T(3)$ 及び $T(4)$ のアノード電極 a_3 と a_4 とから成る第1の電極 A_2 、……、ブロック $B_{n/2}$ において $T(n-1)$ 及び $T(n)$ のアノード電極 a_{n-1} と a_n とから成る第1の電極 $A_{n/2}$ が夫々構成されている。

これらの第1の電極 $A_1 \sim A_{n/2}$ によれば、各発光素子のアノード電極 $a_1 \sim a_n$ に第1の信号である発光信号を供給できる。

また、ブロック B_1 における $T(1)$ のゲート電極 g_1 、ブロック B_2 における $T(3)$ のゲート電極 g_3 、……、ブロック $B_{n/2}$ における $T(n-1)$ のゲート電極 g_{n-1} から成り、各ブロック $B_1 \sim B_{n/2}$ にまたがってこれらのゲート電極 g_1 、 g_3 、 g_5 、……、 g_{n-1} に共通な第2の電極 G_1 が構成されている。同様に、ゲート電極 g_2 、 g_4 、 g_6 、……、 g_n に共通な第2の電極 G_2 が構成されている。

これらの第2の電極 G_1 、 G_2 によれば、各発光素子のゲート電極 $g_1 \sim g_n$ に第2の信号である制御信号を供給できる。

なお、カソード電極 k_1 、 k_2 、……、 k_n は接地されて全て共通の電極 k に構成されている(第3図参照)。

以上のような発光素子アレイの動作を第2図により説明する。第2図における2つの曲線は、ゲート電極の電圧 V_G を0V及び5Vとしたときのアノード電圧 V_A ・アノード電流 I_A 特性を夫々示すものである。

制御信号であるゲート電圧 V_G が5Vの場合、アノード電圧 V_A が約6V以上にならないと発光信号であるアノード電流 I_A が流れず、発光サイリスタは発光しない。一方、ゲート電圧 V_G が0Vの場合、アノード電圧 V_A が約1V以上でアノード電流 I_A が流れて発光サイリスタが発光する。なお、発光素子の発光強度はアノード電流 I_A にほぼ比例する。

以上のような特性から、pnpn構造を有する発光サイリスタのゲート電極 $g_1 \sim g_n$ の電位により発光サイリスタの発光及び非発光を制御できることがわかる。

第1図に示す発光素子アレイにおいて、第2の電極 G_1 を0V、 G_2 を5Vにする。そして、第1の電極 $A_1 \sim A_{n/2}$ を通して各アノード電極 $a_1 \sim a_n$ に所望の発光強度に依存した発光信号としてのアノード電流 I_A を流す。すると、第2の電極 G_2 に接続されているゲート電極 g_2 、 g_4 、……、 g_n を有する発光素子 $T(2)$ 、 $T(4)$ 、 $T(6)$ 、……、 $T(n)$ のアノード電極 a_2 、 a_4 、 a_6 、……、 a_n にはアノード電流 I_A は流れはないが、第2の電極 G_1 に接続されているゲート電極 g_1 、 g_3 、 g_5 、……、 g_{n-1} を有する発光素子 $T(1)$ 、 $T(3)$ 、 $T(5)$ 、……、 $T(n-1)$ にはアノード電流 I_A が流れる。

次に、第2の電極 G_1 を5V、 G_2 を0Vにすると、上述の場合と全く逆のことが起こる。

このように本実施例の発光素子アレイは、第1の電極 $A_1 \sim A_{n/2}$ 及び第2の電極 G_1 、 G_2 とを具備することによって偶数番号の発光素子 $T(2)$ 、 $T(4)$ 、 $T(6)$ 、……、 $T(n)$ と奇数番号の発光素子 $T(1)$ 、 $T(3)$ 、 $T(5)$ 、……、 $T(n-1)$ とを時分割で発光させることができる。

さらに、第1の電極によっても発光を制御できるから、結局総ての発光素子 $T(1) \sim T(n)$ を特定して発光することができる。

本実施例において、 n 個の発光素子から構成された発光素子アレイに設けることの必要な電極の総数を Y とすると、

$$Y = n/2 + 2 + 1 \quad (1)$$

である。ここで“ $n/2$ ”は第1の電極の数、“2”は第2の電極の数及び“1”は全発光素子に共通なカソード電極の数である。

一般に第2の電極の数が m の場合、発光素子アレイに設けることの必要な電極の総数 Y は、

$$Y = n/m + m + 1 \quad (2)$$

である。電極の総数 Y を最小にするには式(2)から、

$$m = n^{1/2} \quad (3)$$

であればよいことがわかる。この場合の電極の総数 Y は式(2)及び(3)から、

$$Y = 2n^{1/2} + 1 \quad (4)$$

である。

従来例において、例えば第7図及び第8図に示す発光素子アレイに設けることの必要な電極の総数 Y_c は、全発光素子に共通な接地された電極を含めて、

$$Y_c = n + 1 \quad (5)$$

である。

上記式(4)及び(5)を比較すると、 $n=4$ のときの両者の電極の数は同じになるが、通常 n は4よりも大きく、 n が大きくなればなるほど両者の電極の数の差は増大することがわかる。

従って、本発明における発光素子アレイに設けることの必要な電極の数は発光素子の数が多くなればなるほど、第7図及び第8図に示す従来例の発光素子アレイの場合よりもかなり減ることがわかる。

次に、以上のような構成の発光素子アレイの具体的な構造例について説明する。第3図は発光素子アレイを半導体基体上に実際に形成した場合の構造を示す断面図である。

この発光素子アレイは次のような手順で作成することができる。まず、 n 型半導体基体1上に n 型半導体層24、 p 型半導体層23、 n 型半導体層22及び p 型半導体層21を順次に形成する。次に、上述の半導体層21~24が形成された基体1にフォトリソ法を適用することによって、個々の発光素子を形成する。

このようにして半導体層21~24から構成される発光素子T(1)、T(2)、T(3)……を形成できる。

以上の各発光素子において p 型半導体層21をアノード電極 a_1 、 a_2 、 a_3 ……及び n 型半導体層22をゲート電極 g_1 、 g_2 、 g_3 ……とする。そして、金属配線材料により、上述のアノード電極から第1の電極 A_1 、 A_2 ……を夫々形成し、また上述のゲート電極から第2の電極 G_1 及び G_2 を夫々形成する。

なお、カソード電極として、 n 型半導体基体1から全発光素子に共通なカソード電極 k を構成することができる。

なお、半導体基体1の半導体材料としてはGaAsが一般的であるが、これに限定されるものではなく何であつてもよい。半導体基体1上に形成される各半導体層21~24の半導体材料は、所望の発光波長によって自由に選択される。例えば、各半導体層21~24にGaAsを用いると発光波長は900nm程度である。またAlGaAsを用いた場合Alの組成を変えることによって、600nm台まで自由にその発光波長を変えることができる。

次に、以上のような発光素子アレイを発光素子アレイ

チップに構成した例について第4図により説明する。

なお、第4図において第8図と同一部分には同一符号を付けてその説明は省略する。また、この発光素子アレイチップは、第5図及び第6図により既述したLEDブリッタのLEDアレイを構成するのに用いることができるものである。

第4図に示すように、発光素子アレイチップ100には、第8図に示したのと同じ形状の発光領域100aが第8図と同様のピッチで配列されている。また、発光素子アレイチップ100の端には第2の電極 G_1 、 G_2 が配置され、各発光領域100aの両側には第1の電極 A_1 、 A_2 、 A_3 ……が夫々配置されている。

相隣り合う2つの発光素子の各アノード電極が第1の電極 A_1 、 A_2 、 A_3 ……を夫々構成している。そして、奇数列の駆動電極 A_1 、 A_3 、 A_5 ……は第4図の紙面上側に、偶数列の駆動電極 A_2 、 A_4 、 A_6 ……は同じく下側に配置されている。第1の電極 A_1 、 A_2 、 A_3 ……と第2の電極 G_1 、 G_2 とは駆動IC101の電極101cにワイヤボンディング法により夫々接続されている。

以上のように構成された発光素子アレイチップ100によれば、第8図に示すアレイチップ103と比較するとわかるように、電極の配列ピッチを第8図の場合より2倍程度粗くして並べることができる。また、第2の電極 G_1 、 G_2 も支障なく配置できる。

従って、第7図及び第8図に示す従来例のものよりもワイヤボンディングが行い易くなり、その工数も削減できるから、このような発光素子アレイチップ100による発光素子アレイの高信頼化及び低価格化が実現できる。

また、第8図に示す従来例のものと同じ電極の配列ピッチにすれば、約2倍の発光素子を発光素子アレイチップに並べることができて発光素子を高密度に配置できるから、このような発光素子アレイチップによれば発光素子アレイの高解像度化が実現できる。従って、またLEDブリッタの高解像度化にも寄与できる。

以上のように本実施例では発光素子として、最も簡単な構造の発光サイリスタを用いたが、発光効率を上げるために例えばダブルヘテロ構造のようなより複雑な構造、例えば6層以上の層構成を用いても同様の機能を達成できて同様の効果が得られる。また、発光素子として静電誘導(SI)サイリスタまたは電界制御サイリスタ(FCT)などを用いることができる。

さらに、用いることのできる発光素子は上述のような発光サイリスタに限定されるものではなく、発光素子の発光可能及び発光不可能を制御できる電極及び発光信号を印加する電極を備えたものであれば何でも用いることができる。

また、2次元あるいは3次元的に多数の発光素子が配置された発光素子アレイでも同様な効果を得ることができる。

【発明の効果】

本発明による発光素子アレイでは、発光素子の配列ピッチを小さくすることができるので、高解像度化が可能である。

また、電極と他の電氣的部品等との接続が少ないので、低価格化及び高信頼化が可能である。

【図面の簡単な説明】

第1図～第4図は本発明の実施例を示すものであって、第1図は発光素子として発光サイリスタを用いた発光素子アレイの等価回路、第2図は第1図に示す発光サイリスタのアノード電圧・アノード電極特性曲線、第3図は第1図に示す発光素子アレイの具体的な構造例を示す断面図、第4図は駆動ICと第1図に示す発光素子アレイとの具体的な配置状態を示すための平面図である。第5図

～第8図は従来例を示すものであって、第5図は第1図及び第7図に示す発光素子アレイを用いることのできる従来の光プリンタの概略的な断面図、第6図は第5図に示すロッドレンズアレイ及び感光ドラムに対する発光素子アレイの位置関係を示すための斜視図、第7図は従来の発光素子アレイの等価回路、第8図は駆動ICと第7図に示す発光素子アレイとの具体的な配置状態を示すための平面図である。

なお図面に用いられている符号において、

$T(1) \sim T(n) \dots n$ 個の発光素子

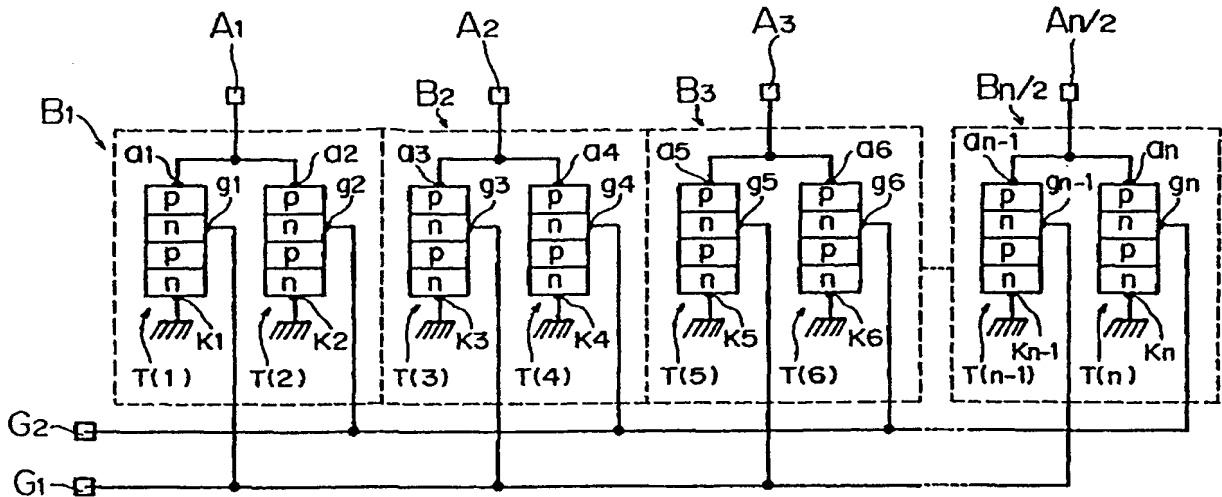
$B_1 \sim B_{n/2} \dots$ 発光素子ブロック

$A_1 \sim A_{n/2} \dots$ 第1の電極

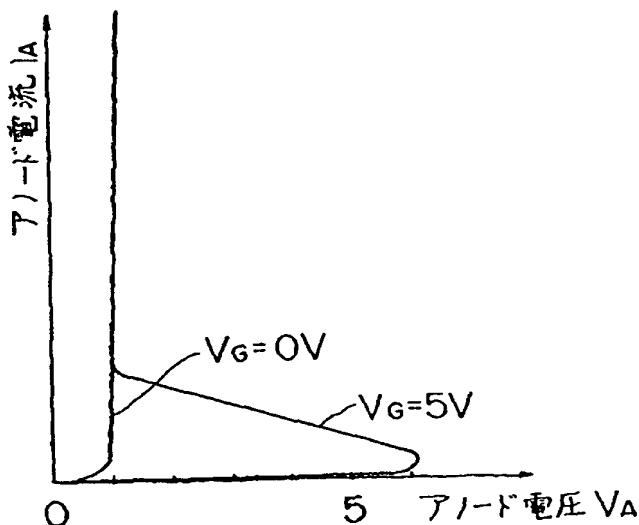
$G_1, G_2 \dots$ 第2の電極

である。

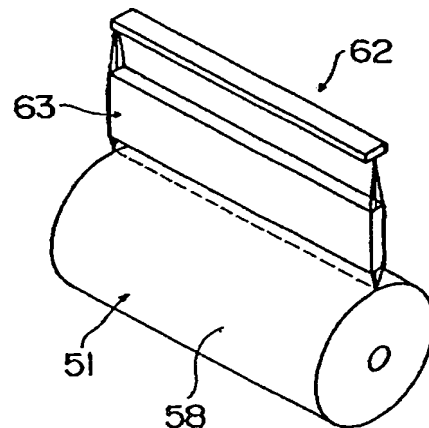
【第1図】



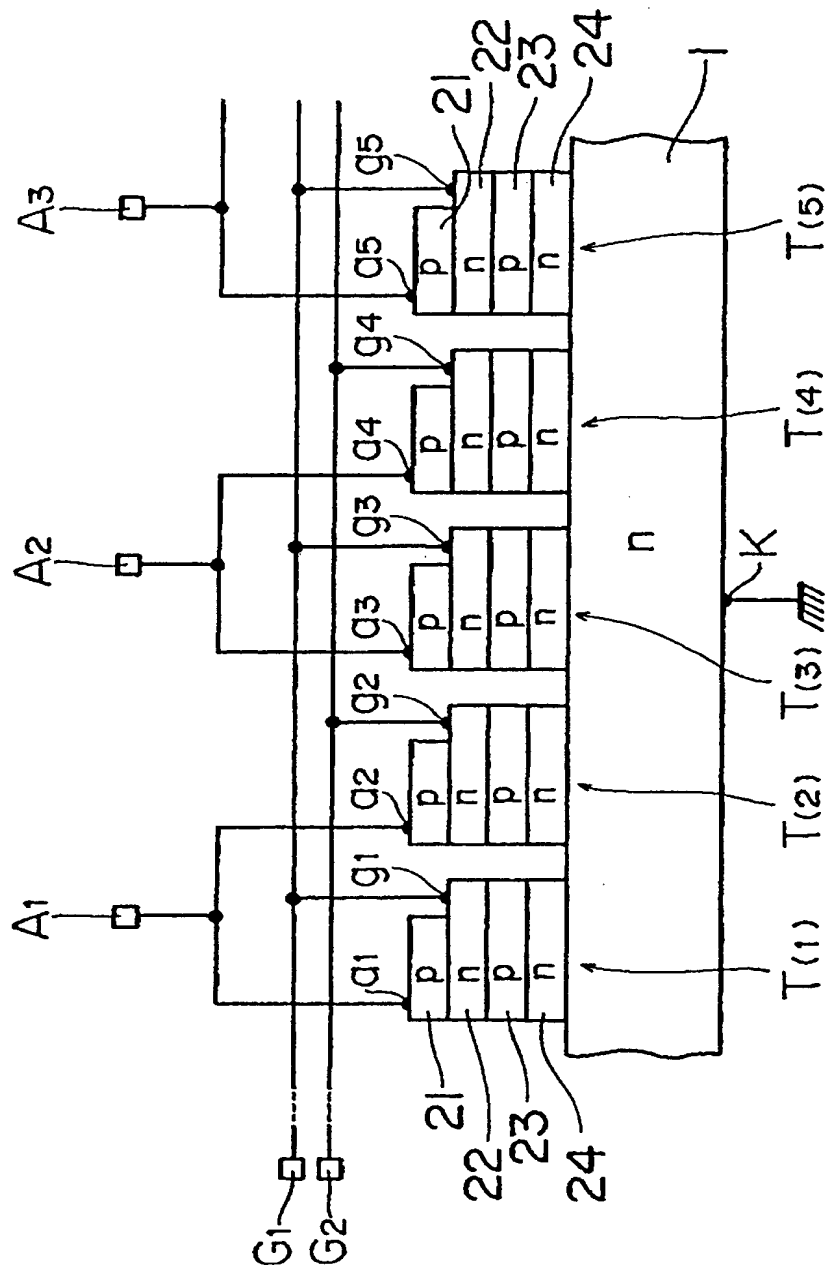
【第2図】



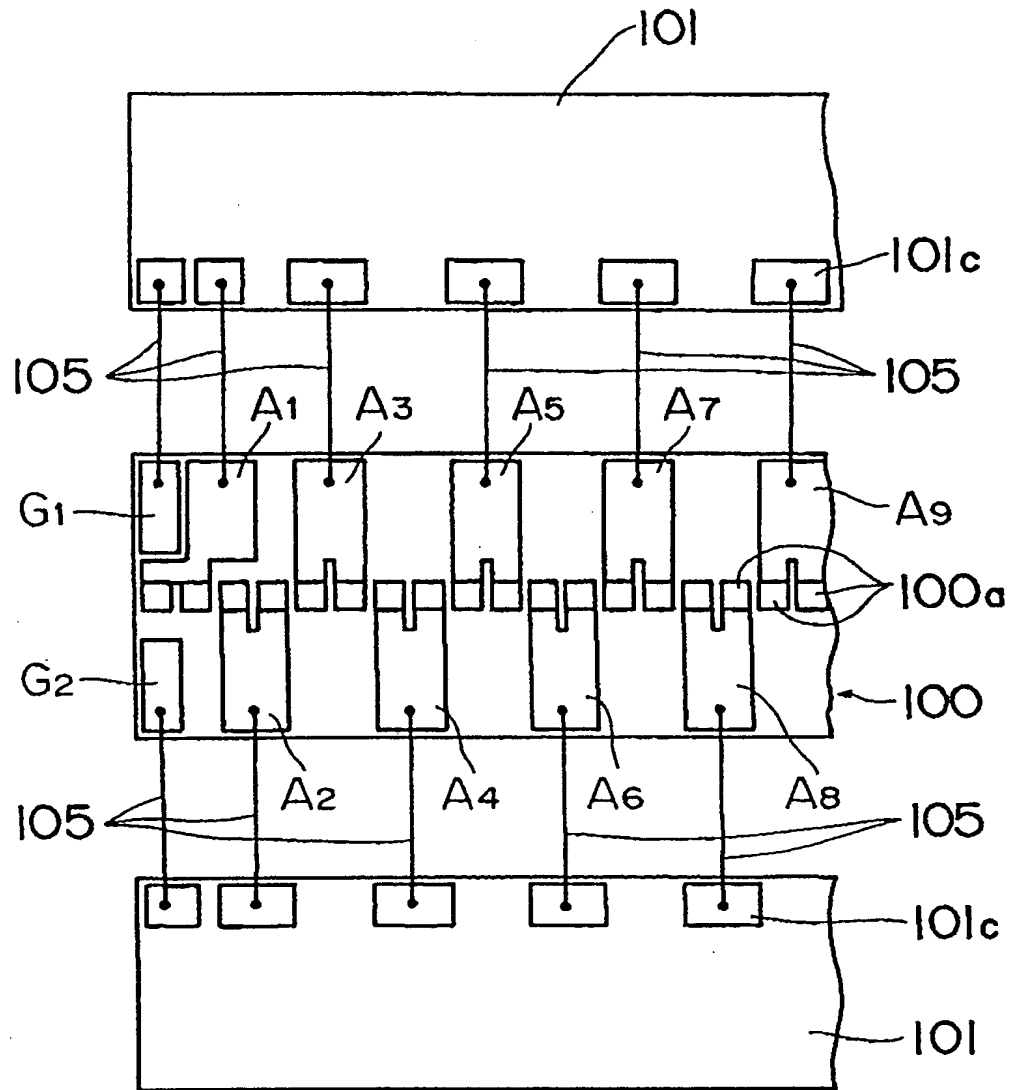
【第6図】



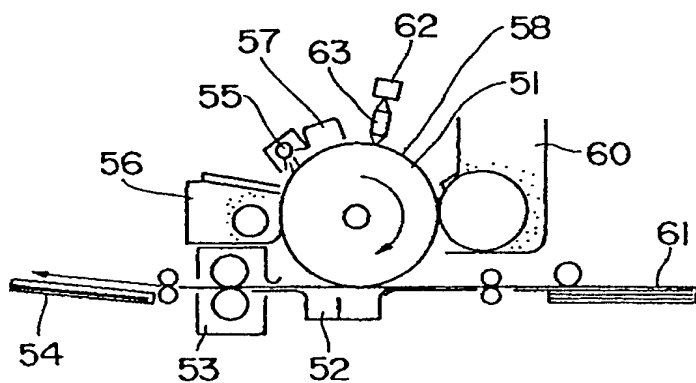
【第3図】



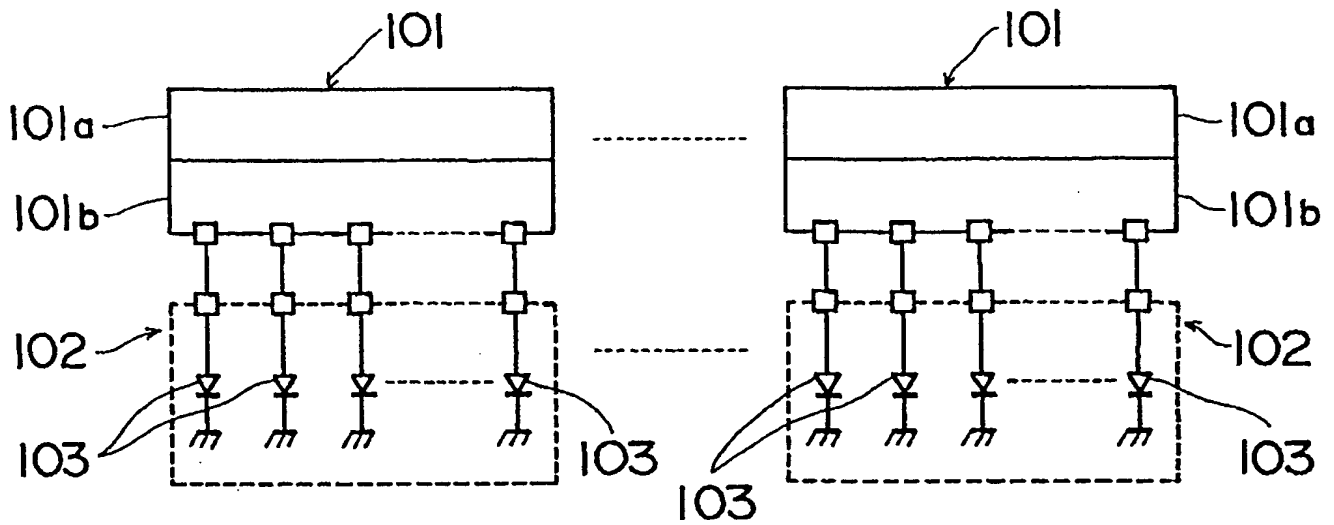
【第4図】



【第5図】



【第7図】



【第8図】

